

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-102467

(43)Date of publication of application : 16.04.1990

(51)Int.Cl.

G01R 31/28
G01R 31/302

(21)Application number : 63-255266

(71)Applicant :

MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.10.1988

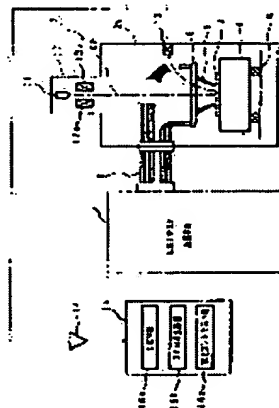
(72)Inventor :

TADA TETSUO
MORI SHIGERU

(54) NONCONTACT TESTING METHOD

(57)Abstract:

PURPOSE: To obtain high measurement accuracy and to shorten a test time by measuring the electric signal of a part to be tested in a semiconductor device without contacting by using a stroboscopic scan type electron microscope.
CONSTITUTION: A chuck 4 equipped with a movement adjusting mechanism 5 capable of precise two-dimensional movement positioning on a lane is arranged at the lower part in the casing 2a of the stroboscopic scan type electron microscope 2 and a wafer 3 is fixed on the chuck 4. Further, a probe card substrate 6 is arranged above the chuck 4 and a probe stylus 7 is extended downward from the substrate 6. Then the probe stylus 7 is brought into contact with an object area on the memory LSI of the wafer 3 to send and receive an electric signal to and from an LSI testing device main body 1 through the memory LSI and probe stylus 7, the substrate 6, and a feedthrough 8, thereby extracting defective bits.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑯ 公開特許公報(A) 平2-102467

⑰ Int. Cl.⁵

識別記号

庁内整理番号

⑱ 公開 平成2年(1990)4月16日

G 01 R 31/28
31/3026912-2G G 01 R 31/28
6912-2GD
L

審査請求 未請求 請求項の数 1 (全10頁)

⑳ 発明の名称 非接触テスト法

㉑ 特 願 昭63-255266

㉒ 出 願 昭63(1988)10月11日

㉓ 発 明 者 多 田 哲 生 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉔ 発 明 者 森 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉕ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉖ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称 非接触テスト法

2. 特許請求の範囲

1. ストロボ走査形電子顕微鏡を用いて半導体装置内部における被テスト部分の電気信号を半導体装置と非接触の状態で測定し、この測定データを予め求めてある期待データと比較して被テスト部分の可否を判断する過程を含むことを特徴とする非接触テスト法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置(LSI)における不良部分を救済するためのテスト、所謂リダグダংশーテストにおいて用いる非接触テスト法に関するものである。

(従来の技術)

第10図は従来における不良部分(以下不良ビットという)救済テストのフローチャートである。先ずステップS1において、第11図に示す如きLSIテスト装置を用いてウェーハテストを行い、各メ

モリLSIチップ中の不良ビットを選択するアドレス、即ち不良アドレスを全て抽出する。次に抽出した全ての不良ビットに対してメモリLSIチップに予め設けてある余備ビットに置換することが出来るか否かを判断し(ステップS2)、全ての不良ビットに対して余備ビットとの置換が可能と判断したときはメモリLSI内に設けられているリンク21(第12図参照)の切断領域21aの座標を算出し(ステップS3)、また余備ビットへの置換不可能な不良ビットが存在すると判断したときは当該メモリLSIを不良品と判断し、その処理を行う(ステップS4)。

次にステップS5において、ステップS3で算出された第12図に示す如きリンク21の切断領域21aを表す座標に基づき、レーザ加工機を用いて切断領域21aに対する切断加工を行い、その後再度リンク切断後のメモリLSIにつき第11図に示すLSIテスト装置を用いて全ビットに対してテストし、不良ビットが存在するか否かを確認し(ステップS6)、不良ビットが存在しないことが確認されるとその

メモリLSIは良品と判断して次工程に送り(ステップS7)、また良品と判断出来ない場合には不良品とし、その処理を行うか、またはステップS2に戻って再度前述した過程を反復する(ステップS8)。

第11図は従来用いられているLSIテスト装置の模式図であり、二次元的に高精度に移動位置決め可能な移動調節機構5を備えたチャック4上にウェーハ3を固定し、チャック4の上方に配したプローブカード基板6からその下方に延在させてあるプローブ針7及びマニピレータ9aプローブ針9をウェーハ3のメモリLSIに接触させ、該メモリLSIとこれにプローブ針7、或いはマニピレータ付プローブ針9、フィードスルー8を介して接続されたLSIテスト装置本体1との間に信号の授受を行わせ、不良ビットの抽出等を行うようになっている。

〔発明が解決しようとする課題〕

ところで上述した如き従来の半導体装置(LSI)のテスト法では次のような問題がある。

① 不良ビットを余備ビットに置換すべくレー

ザ加工によってリンクを切断した後、再び第11図に示すLSIテスト装置を用いて全ビットに対してテストを行うため、LSIの規模が大きくなるとテストに要する時間が膨大となる。

② リンク21をレーザビームで切断加工後、再びLSIテスト装置の機械的プローブを対象領域に接触させて電気信号の授受を行うが、対象領域は微細寸法設計であるため、これにプローブを接触することが難しく、またたとえ接触させても不安定で、精度のよい測定が出来ない。

③ 切断加工されたリンク21の切断状態の確認は切断か否かを確認するに留まり、形状確認が行われておらず、切断状態の確実性、安定性を判断出来ない。

本発明はかかる事情に鑑みなされたものであって、その目的とするところは切断領域の形状確認、電気信号の測定を非接触で行うことが出来て測定精度が高く、しかも作業時間の大幅な短縮を可能とした非接触テスト法を提供するにある。

〔課題を解決するための手段〕

本発明に係る非接触テスト法は、ストロボ走査形電子顕微鏡を用いて半導体装置内部における被テスト部分の電気信号を半導体装置と非接触の状態で測定し、この測定データを予め求めてある期待データと比較して被テスト部分の可否を判断する。

〔作用〕

本発明にあつては切断加工を施した領域の電気信号データ、形状データを非接触で得、この測定データと予め求めてある期待データとの対比によって可否の判断が可能となる。

〔実施例〕

以下本発明を図面に基づき具体的に説明する。

第1図は本発明に係る非接触テスト法の過程を示すフローチャートである。ステップS1からステップS5までの過程は、第10図に示す従来方法と同じであり、先ずステップS1において、後述する第2図に示す如きLSIテスト装置を用いてウェーハテストを行い、半導体装置、例えばメモリLSI中の不良ビットをこれを選択するアドレス、即ち不

良アドレスとして全て抽出する。次に抽出した全ての不良ビットに対して、メモリLSIチップに予め設けてある余備ビットを用いて置換することが出来るか否かを判断し(ステップS2)、全ての不良ビットに対して余備ビットとの置換が可能と判断したときはメモリLSI内に設けられているリンク21(第4図(ロ)参照)の切断領域21aの座標を算出し(ステップS3)、また余備ビットへの置換不可能な不良ビットが存在すると判断したときは当該メモリLSIを不良品と判断し、その処理を行う(ステップS4)。

次にステップS5において、ステップS3で算出された切断領域21aの座標に基づき、同じく第3図に示す如きレーザ加工機を用いて所定のリンク21の切断領域21aに対し切断加工を行い、その後再び第2図に示すLSIテスト装置を用いて不良アドレス信号のみをLSIテスト装置本体1からメモリLSIに印加し、リンクの切断状態を判断し(ステップS6)、当該切断リンク21の形状及び切断確認により良品と判断されたときは次工程に移送し

(ステップS7)、また当該リンクの切断が確認出来ない場合、例えば電気信号不良、形状不良が存在する場合は不良品と判定し、その処理を行うか、またはステップS2に戻って上述した過程を反復する(ステップS8)。

次に上記した主要ステップにおいて使用する機器及びプロセスの内容について具体的に説明する。(LSIテスト装置)

第2図は本発明方法に用いるLSIテスト装置の模式図であり、図中1はLSIテスト装置本体、2はストロボ走査形電子顕微鏡、3はウェーハ、4はチャック、6はプローブカード基板、7はプローブ針、8はフィードスルーを示している。ストロボ走査形電子顕微鏡2のケーシング2a内の下部に、平面上で二次元的に精密な移動位置決め可能な移動調節機構5を備えたチャック4が配置され、このチャック4上にウェーハ3が固定されるようにしてある。チャック4の上方にはプローブカード基板6が配置され、このプローブカード基板6からその下方に向けてプローブ針7が延在せしめ

られており、該プローブ針7をウェーハ3のメモリLSIにおける対象領域に接触させることにより、メモリLSIとプローブ針7、プローブカード基板6、フィードスルー8を介してLSIテスト装置本体1との間に電気信号の授受を行わせて不良ビットの抽出が行われる。

また、ケーシング2aの上部壁中央には、銃筒10がプローブカード基板6と同心状に設け、この銃筒10内に電子銃11及びその下方にブランキング電極12a、12bを設けてあり、電子銃11から反射された電子(一次電子)ビームEBをブランキング電極12a、12bにてパルス化してウェーハ3のメモリLSI上に照射せしめるようになっている。

13は二次電子の検出器であって、電子ビームEBをウェーハ3におけるメモリLSIの所定領域に投射したとき、その裏面から発生する二次電子を捕足し、その検出信号を増幅器14へ出力するようになっている。増幅器14で増幅された信号は、データ保持部15へ入力される。この検出信号からはウェーハ表面の材質、形状、電位に応じたコントラ

スト像(これをSEM像という)が得られ、例えば材質、形状についてのコントラスト像は第5図に示す如くであり、また電位の分布差により得られるコントラスト像(電圧コントラスト像という)は第6図に示す如くである。これらSEM像、電圧コントラスト像は電子ビームEBを所定範囲に照射して得られる面的領域についての像である。更にこれらとは別にSEM像の一つとして第8図に示す如きストロボ波形(像)も得られる。このようなSEM像、コントラスト像、ストロボ波形(像)をデータ保持部15に保持し、これらを用いて後述する如くリンク切断後にその形状、電気信号の確認を行う。

(レーザ加工機)

第3図は本発明方法において用いられるレーザ加工機を示す模式図であり、チャック4上にウェーハ3を固定し、その上方からレーザビームLBを所定メモリLSIの対象領域に投射し、不良ビットを余剰ビットに置換するためのリンク21の切断加工を行う。

第4図(イ)は一のメモリLSIチップの拡大図、第4図(ロ)はリンク21の切断領域21a(ハッチングを付して示す部分)を含むその周辺部のレイアウトデータ、第4図(ハ)は第4図(ロ)のハーハ線による拡大断面図であり、リンク21は基板表面に形成したアルミニウム材料製の配線22上に厚さ6000Å程度のSiO₂膜23を隔てて形成され、厚さ3000Å程度のWSi線24上に厚さ1000Å程度のポリシリコン線25を積層形成して構成されており、リンク21の切断加工は切断領域21aにおいてポリシリコン線25、WSi線24をレーザビームを用いて溶融切断することにより行われる。

(リンクの切断確認)

LSIテスト装置本体1から、ステップS1で既に抽出されている不良アドレスをウェーハ3の所定メモリLSIへ印加し、第6図に示す如き電圧コントラスト像を得る。この操作は、メモリLSIの不良アドレスとリンク21の切断領域21aとは対応しているからチャック4を移動してメモリLSIの該当リンク21を電子ビームEBの投射域下に移動して

電圧コントラスト像を得る。

この電圧コントラスト像中において黒く表れている領域（ハッチングを施している部分）の電圧はハイレベル、白く表れている領域の電圧はローレベルとなる。なおこの電圧コントラスト像中にも他の形状、材質等に応じたコントラスト像も表れている。

次にこの電圧コントラスト像及び第9図に示す如きストロボ波形（像）に基づいてこれが適正な像、即ち適正なレーザ加工の結果得られるべき像か否かを判断するが、いま説明をより具体化するため、第4図（ロ）に示すレイアウト図は第7図に示す置換回路の一部に対応しているものとする。第7図は置換回路の一部を示しており、図中 Tr_1, Tr_2, \dots, Tr_n はトランジスタ、 V_{cc} は電源電圧、 GND はグラウンド電位、 N_1, N_2, N_3, N_4 はノード、 L_1, L_2, \dots はリンク、 G_1, G_2 はインバータ回路を示しており、また NAD は通常アドレスデイスエーブル／イネーブル信号、 SAB は余備ビットデイスエーブル・イネーブル信号、 $RA_0, \overline{RA_0}, \dots, RA_n, \overline{RA_n}$

のである。

第6図に示す電圧コントラスト像と、第8図に示す期待論理値付レイアウトデータとを、夫々の基準座標（ X, Y ）を重ね合わせ、両像におけるビットデータを差し引きする。両像は夫々の画素は1画素を例えば8ビット長で記憶しておき、画素の濃淡はこのビットデータに対応しているから、このビットデータを差し引きした時、8ビット長のデータが零または殆どない状態となれば、その画素は一致していることとなり、これを必要箇所における複数画素について行うことにより、リンクの切断領域の形状、切断が正常に行われたか否かを迅速に判断出来ることとなる。

勿論、このような期待論理値付レイアウトデータと、電圧コントラスト像との比較はコンピュータにより行われるから、その処理時間は画素数（取扱画像の面積）と画素記憶ビット長（実施例では8ビット）に依存することとなる。

（マトリックス法）

第7図に示す置換回路の各ノード $N_1 \sim N_n$ と不良

はアドレス信号を示している。

第6図における電圧コントラスト像中の切断領域21aは第7図のリンク L_1 に、また④、⑤位置は同じく置換回路中のノード N_1 に、更に⑥、⑦はノード N_4 に夫々対応するものとする。このときのアドレス入力ではノード N_1 はハイレベルであって、電圧コントラスト像中では黒く、またノード N_4 はローレベルであって、電圧コントラスト像では白く夫々表れたものとする。

リンクの切断が正常か否かの判定については画像比較法、マトリックス法が考えられる。

（画像比較法）

第6図に示す電圧コントラスト像と第8図に示す如き期待論理値付レイアウトデータとに基づき判定する。第8図に示す期待論理値付レイアウトデータはリンク21の製作時におけるマスクデータを重ね合わせて得たレイアウトデータ上に、リンクの正常位置が切断されたものとして、これに不良アドレス信号を入力したときに示す論理値、（例えば1は黒、0は白）を合わせて表示したも

アドレス入力時の論理状態（1又は0）の組み合わせを下記の如くマトリックス表示したものを期待値マトリックスとして予め求めておく。これはLSI設計時に求めることが可能である。

$$\begin{bmatrix} N_1 \\ N_2 \\ N_3 \\ N_4 \end{bmatrix} = \begin{bmatrix} 1 \\ 0 \\ 1 \\ 0 \end{bmatrix}$$

次いで不良ビット救済のためのリンク切断加工を施したウェーハ3についての測定結果から上記期待値マトリックスと同様のデータ構造を有する測定（観測）マトリックスを求め、両マトリックスを比較して良否の判断を行う。

測定マトリックスは次のようにして求められる。

第6図の電圧コントラスト像に示す④、⑤2箇所（又は2以上の箇所）について第9図に示す如きストロボ波形（像）を求める。このストロボ波形（像）は、電子ビームEBのウェーハ3表面に対する照射点は一点であるから、照射時刻をパルス周期より少しづつずらし、即ち位相を変化させて、

各時刻(位相)で検出した二次電子を電圧値に変換し、横軸に時間(位相)を、また縦軸に電圧をとって示してある。

なお、通常各時刻(位相)差は最小数+ピコセカンド程度である。通常、アドレス信号の変化時間(同一周期内で2ヶ所)は予め分かり、しかも観測されたストロボ波形(像)とアドレス変化時間は同一時間軸上にあわせ得るから、第9図において、時間軸(一つのテスト周期分:LSIテスト装置本体1から発生されている周期)上にアドレス信号変化時刻をC、Dをとる。次にこの間でアドレス信号電位状態が最も安定しているところ、例えば中央部分にサンプリング時刻STBを設定し、また論理値を決定するため縦軸にスレッショルド電圧値V_{th}を設定する。時刻STBにおけるストロボ波形(像)の電圧値をスレッショルド電圧値V_{th}とを比較して、V_{th}よりも高い場合は1、低い場合は0と判定し、④位置の論理値を求める。第9図に示す場合においては論理状態は1である。

このような操作を同一ノードに対して、複数回

行い、安定した論理状態を得るため、所定ノードの論理状態がすべて同一となる場合はその値を、また異なる場合は多数決にて定め、これを当該ノードの論理状態とする。

このようにして求めた各ノードN₁~N_nと不良アドレス入力時の論理状態の組み合わせを前述した期待値マトリックスと同様に表示してこれを測定マトリックスとする。

なお、期待値マトリックスと測定マトリックスとの比較において、マトリックス要素であるノードと、論理値を選択してもよく、第7図に示す場合にあってはノードN₁、N_nだけでよい。また観測位置は上述の場合同一ノードにおいて④、⑤の2ヶ所としたが、観測位置、観測回数を任意に設定してよいことは言うまでもない。

(発明の効果)

以上の如く本発明方法においては、ストロボ電子顕微鏡を用いることによって、半導体装置における被テスト部分の電気信号を非接触で測定して測定データを得、これを予め求めてある期待デ

ータと比較して被テスト部分の可否を判断するから、高い測定精度が得られ、また不良部分の救済を行った後の状態を形状的、電気的に確認することが出来て確実性、安定性も大きく、更にテスト時間の大幅な短縮が図れてスループットが向上するなど本発明は優れた効果を奏するものである。

4. 図面の簡単な説明

第1図は本発明方法の主要過程を示すフローチャート、第2図は本発明方法に用いるLSIテスト装置の模式図、第3図は本発明方法に用いるレーザ加工機の模式図、第4図(イ)はメモリLSIチップの拡大図、第4図(ロ)はメモリLSI内に形成されているリンク付近のレイアウトデータ^{を指示図}、第4図(ハ)は第4図(ロ)のハーフ線による拡大断面図、第5図は第2図に示すLSIテスト装置で得たSEM像^{を指示図}、第6図は同じく電圧コントラスト像^{を指示図}、第7図は置換回路図、第8図は期待論理値付レイアウトデータ^{を指示図}、第9図は同じくストロボ波形(像)^{を指示図}、第10図は従来方法の主要過程を示すフローチャート、第11図は従来方法において用いたLSIテスト

装置の模式図、第12図はリンク部分付近のレイアウトデータ^{を指示図}である。

1…LSIテスト装置本体 2…ストロボ走査形電子顕微鏡 3…ウェーハ 4…チャック
11…電子銃 13…二次電子の検出器 15…データ保持部 21…リンク 21a…切断領域

なお、図中、同一符号は、同一、又は相当部分を示す。

代理人 大 岩 増 雄

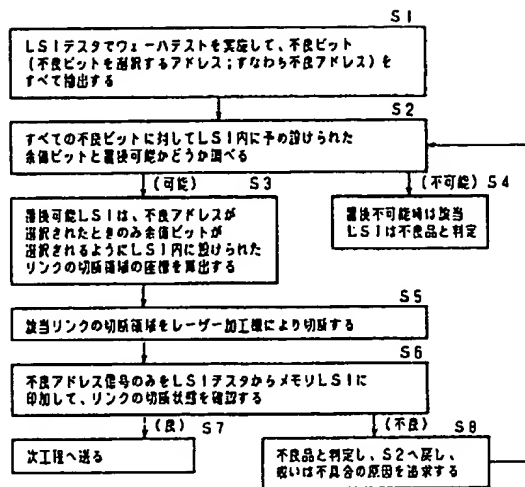


図 1

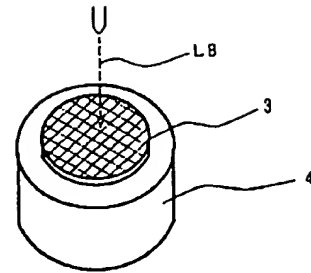
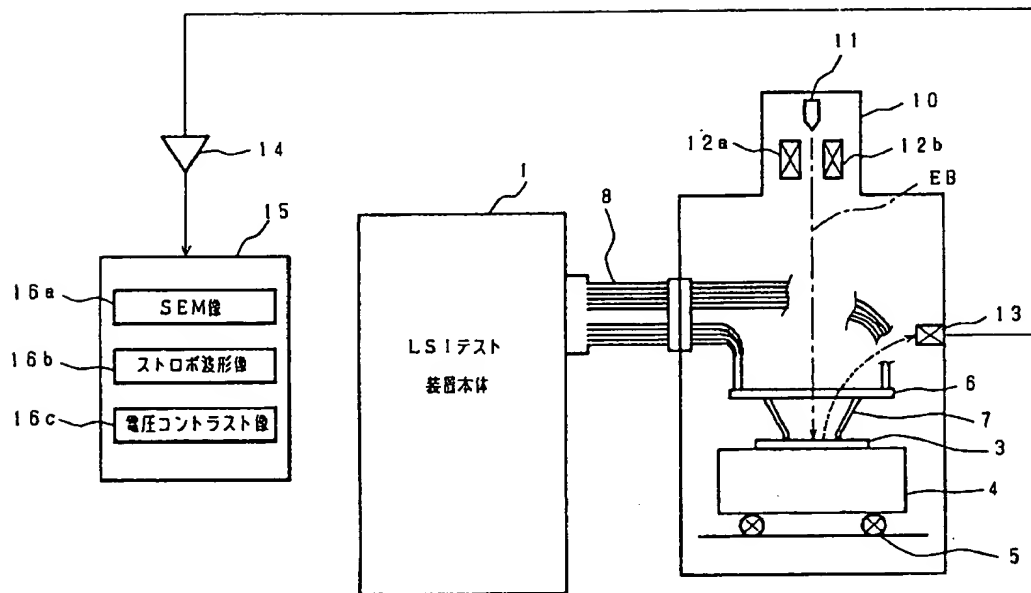
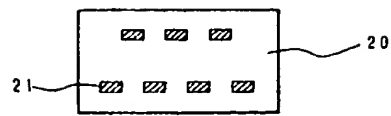


図 3

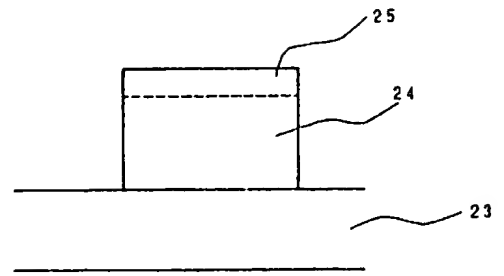


- 2: ストロボ走査形電子顕微鏡
- 3: ウェーハ
- 4: チャック
- 6: プローブカード基板
- 11: 電子銃
- 15: データ保存部

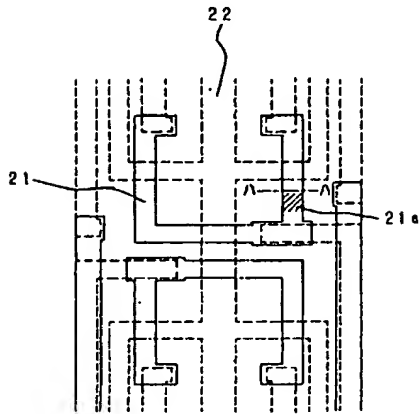
図 2



(1)

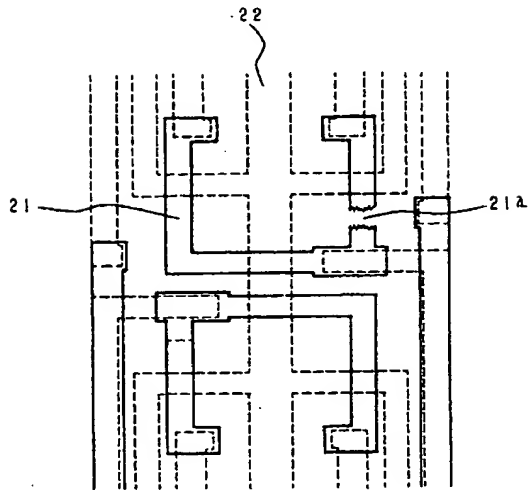


(2)

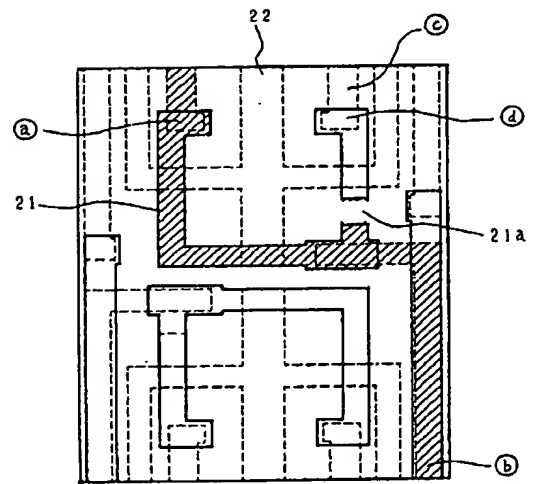


(3)

第 4 図

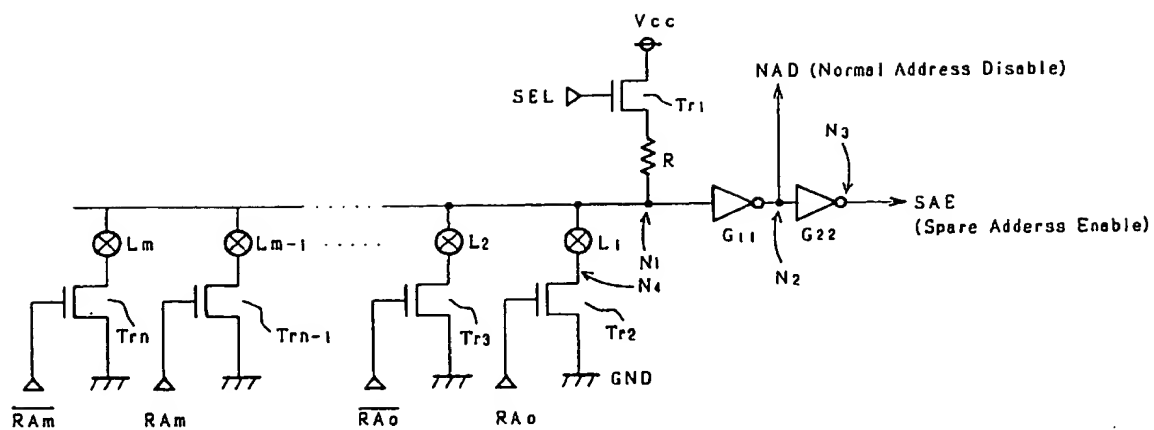


第 5 図

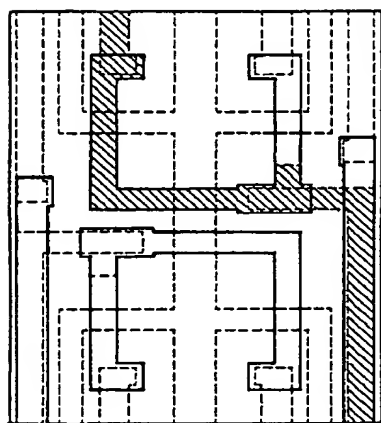


基準座標 (X, Y)

第 6 図

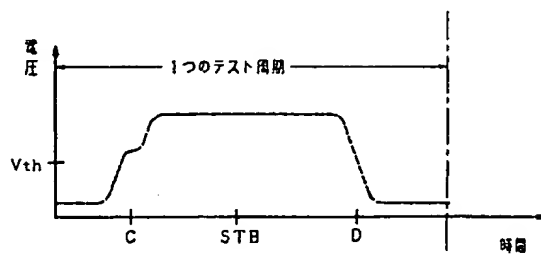


第 7 図

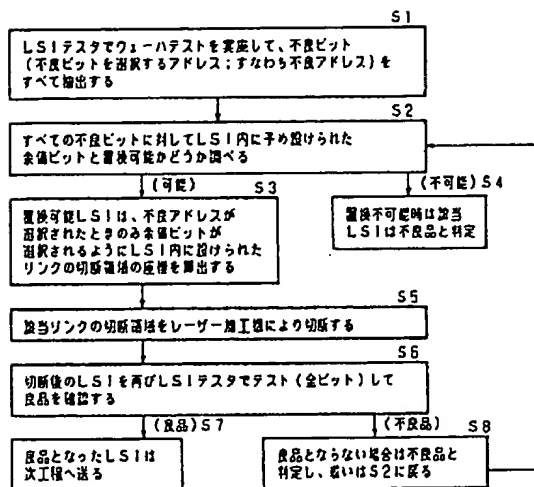


基準座標 (X,Y)

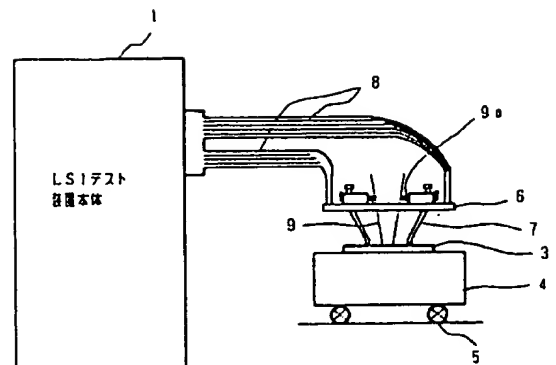
第 8 図



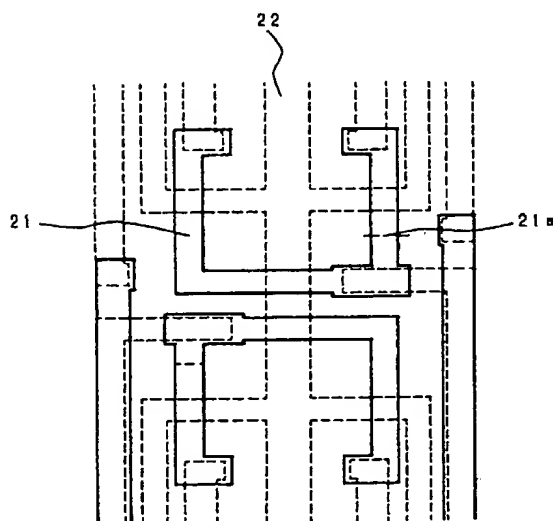
第 9 図



第 10 図



第 11 図



第 12 図

手続補正書（自発）

平成 1 年 9 月 27 日

特許庁長官殿

1. 事件の表示 特願昭63-255266号

2. 発明の名称
非接触テスト法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁護士 大 岩 増 雄
(連絡先03(213)3421特許部)

特 許 庁

特許庁
1.9.28

5. 補正の対象

明細書の「発明の詳細な説明」の欄及び図面

6. 補正の内容

6-1 明細書の「発明の詳細な説明」の欄

- (1) 明細書の第8頁3行目に「プローブカード基板」とあるを「プローブカード基板」と訂正する。
- (2) 明細書の第8頁11行目に「ビームEB」とあるを「ビーム(EB)」と訂正する。
- (3) 明細書の第8頁14行目に「電子ビームEB」とあるを「電子ビーム(EB)」と訂正する。
- (4) 明細書の第8頁15行目に「所定領域に投」とあるを「所定領域に照」と訂正する。
- (5) 明細書の第8頁17行目に「足し、」とあるを「捉し、」と訂正する。
- (6) 明細書の第9頁6行目に「電子ビームEB」とあるを「電子ビーム(EB)」と訂正する。
- (7) 明細書の第9頁8行目に「第8図」とあるを「第9図」と訂正する。
- (8) 明細書の第9頁17行目に「レーザービームLB」とあるを「レーザービーム(LB)」と訂正する。

- (9) 明細書の第9頁18行目に「対象領域に投射し、」とあるを「対象領域に照射し、」と訂正する。

- 00 明細書の第10頁1行目に「一のメモリLSI」とあるを「一つのメモリLSI」と訂正する。

- 00 明細書の第10頁20行目に「電子ビームEBの投射域下」とあるを「電子ビーム(EB)の照射域下」と訂正する。

- 02 明細書の第14頁下から3行目に「電子ビームEB」とあるを「電子ビーム(EB)」と訂正する。

- 03 明細書の第15頁4行目に「最小数+ピコセ」とあるを「最小数+ピコセ」と訂正する。

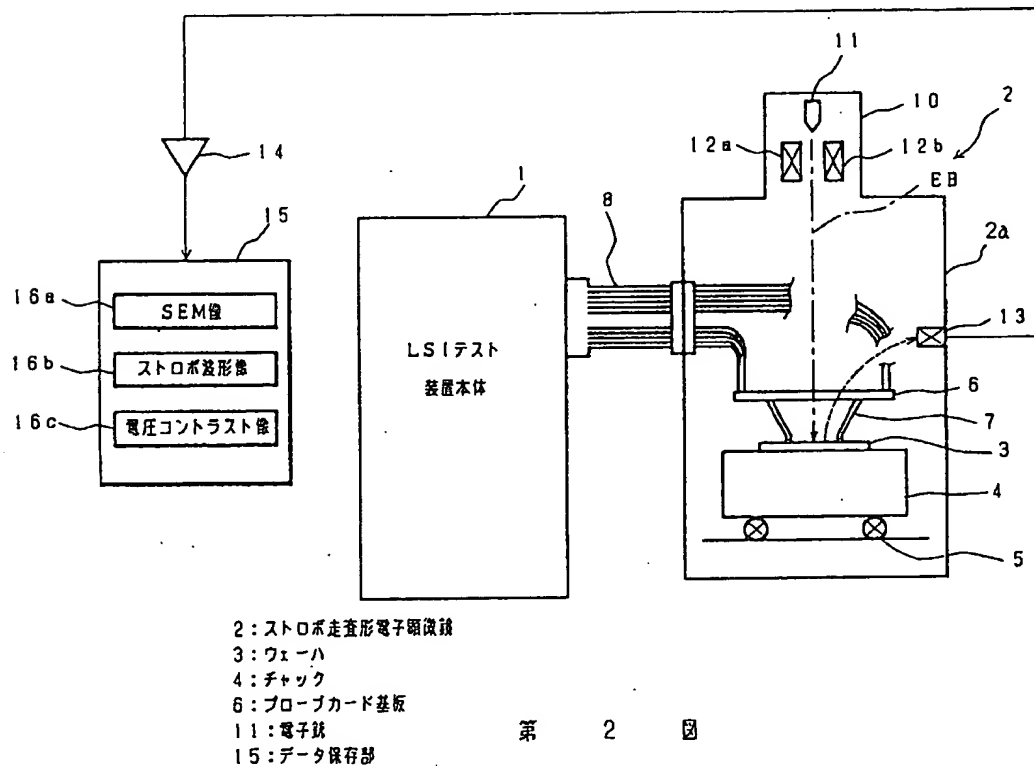
- 00 明細書の第16頁17行目に「ストロボ電」とあるを「ストロボ走査型電」と訂正する。

6-2 図面

第2図を別紙のとおり訂正する。

7. 添付書類の目録

- (1) 訂正図面 1通



第 2 図